

Digitalno rešenje pretvarača linijskog protokola

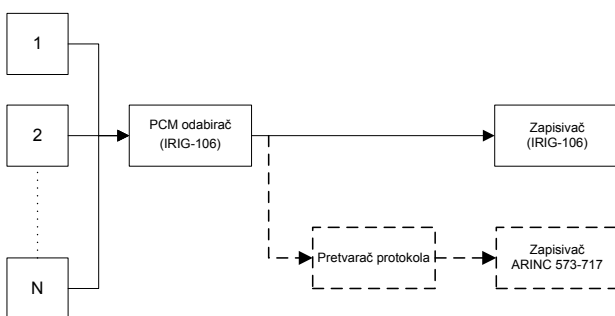
Pavle Savković, Nikola Vranić, Vladimir Marinković, Majda Kukolj, Branislav Atlagić

Sadržaj — U radu je predstavljeno digitalno rešenje pretvarača protokola standarda IRIG-106 u protokol standarda ARINC 573/717. Pretvarač je realizovan pomoću FPGA kola.

Ključne reči — pretvaranje protokola, FPGA.

I. UVOD

Već više decenija impulsno – kodna modulacija (PCM) koristi se u telemetriji za prikupljanje podataka. Praksa je pokazala da je ona dovoljno robustna za primenu u skoro svim poljima u kojima je prikupljanje podataka neizostavan deo. Jedna od korisnijih familija PCM standarda je IRIG-106 (Inter-range instrumentation group time codes). Sa razvojem tehnologije javila se potreba za snimanjem veće količine podataka, što je značilo i upotrebu novih medija. Jedan od prisutnijih standarda novije generacije koji ispunjavaju navedene zahteve je ARINC (Aeronautical Radio, Incorporated), koji je potisnuo iz proizvodnje uređaje zasnovane na starijim standardima. To je uticalo na brojne firme koje nisu u mogućnosti da u potpunosti pređu na novu tehnologiju. U tu svrhu, razvijaju se pouzdana i jeftina rešenja u vidu pretvarača protokola, iz IRIG-106 u ARINC 573/717. Pretvarač prima podatke po jednom standardu (IRIG), a izlaz daje po drugom standardu (ARINC). Sl. 1. prikazuje mesto pretvarača u sistemu.



Sl. 1. Mesto pretvarača u sistemu

Pavle Savković, Pavle.Savkovic@KRT.neobee.net
 Nikola Vranić, Nikola.Vranic@KRT.neobee.net
 Vladimir Marinković, Vladimir.Marinkovic@KRT.neobee.net
 Majda Kukolj, Majda.Kukolj@KRT.neobee.net
 Branislav Atlagić, Branislav.Atlagic@KRT.neobee.net

Fakultet Tehničkih Nauka u Novom Sadu, Fruškogorska 11, Srbija
 (telefon: 381-21-4801100)

Ranije razvijeno rešenje, opisano u radu „A Simple FPGA/PLL Based Protocol Converter for Serial Data Transmission” [1] sadržalo je analogne komponente koje su po svojoj prirodi osetljive na promenu temperature. Pošto se od pretvarača očekuje da radi na širokom temperaturnom opsegu (od -25° C do +85° C) i sa brzim promenama temperature, ovo se u realnim uslovima ispitivanja pokazalo nepouzdanim za razliku od ispitivanja u laboratorijskim uslovima gde je zabeležena željena tačnost i stabilnost. Zato je razvijeno potpuno digitalno rešenje, koje nema ovih tehnoloških nedostataka.

II. OPIS UREĐAJA

Za slanje podataka u pretvarač, PCM odabirač koristi 3 digitalna signala: signal takta, signal podataka i indikator početka reči (u daljem tekstu IPR). Podaci se primaju i šalju serijski, bit po bit. Sa strane izvora, po IRIG standardu, jedna reč se sastoji od 12 bita podataka i jednog bita parnosti (13 bita). Sa strane zapisivača, po ARINC standardu, reč sadrži 12 bita podataka, ali ne sadrži bit parnosti. Pretvarač mora da odstrani bit parnosti i obezbedi jednaku ulaznu i izlaznu brzinu na nivou reči. Odnos ulazne i izlazne bitske brzine je 13/12 [2]. Podaci koji izlaze iz pretvarača su kodovani po Harvard Bi-Phase (HBP) šemi.

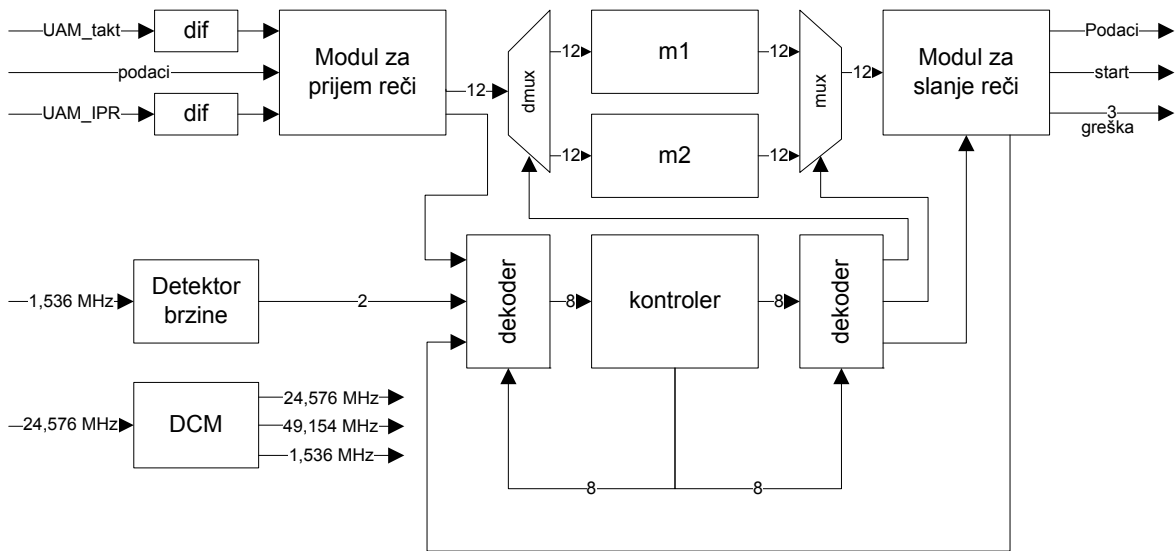
Na izlazu, pored kodovanih podataka, pretvarač daje i signale greške kao i signal početka rada. Brzine prenosa mogu biti 1k, 2k ili 4k reči u sekundi, u zavisnosti od količine podataka potrebnih za snimanje. Pored signala od PCM-a odabirača, u pretvarač ulaze signal takta i signal reseta.

Pretvarač se sastoji iz sledećih modula: detektora brzine, modula za prijem reči, modula za slanje reči, kontrolera, DCM (eng. Digital Clock Management) modula i memorije. Blok šema sistema je data na slici 2.

Pretvarač realizuje sledeće funkcije:

- detektuje brzinu prenosa podataka
- ispravno preuzima podatke koje šalje PCM odabirač
- generiše kontinualan tok podataka ka zapisivaču
- registruje i signalizira greške u radu

Zadatak modula za detekciju brzine je da odredi kojom brzinom reči dolaze iz PCM odabirača.



Sl. 2. Blok šema pretvarača

Zadatak modula za prijem reči je serijski prijem 12 bita podataka i bita parnosti, provera parnosti i, u zavisnosti od rezultata provere postavljanje reči na izlaz[3].

Zadatak modula za slanje reči je slanje podataka bit po bit brzinom slanja 1k, 2k ili 4k 12-bitnih reči u sekundi koristeći HBP šemu.

Kontroler upravlja radom celog sistema. Povezan je sa ostatkom sistema preko ulaznog dekodera i signala zahteva prekida. Na sistem deluje preko izlaznog dekodera i signala dozvole prekida.

Modul DCM generiše sve taktove koji se koriste u sistemu. Svi izvedeni taktovi su sinhroni sa taktom od 24.576 MHz koji izlazi iz DCM modula. Svi moduli rade na sistemskom taktu od 24,576 MHz osim kontrolera koji radi na 49,154 MHz i detektora brzine koji radi na taktu od 1,536 MHz (24.576/16 MHz).

Signal ulaznog takta, IPR i deljeni takt se pre svake upotrebe diferenciraju. Signal koji izlazi iz diferencijatora je poravnat sa sistemski signalom takta od 24,576 MHz.

Po startovanju sistema prvo se čeka period od 1024 reči da bi se ulazni signali stabilisali, nakon čega je moguće krenuti sa detekcijom brzine. Jedna detekcija se sastoji od brojanja sistemskih taktova između dva uzastopna IPR signala. U zavisnosti od broja izbrojanih taktova utvrđuju se sledeće brzine:

- za 1k 13 - bitnih reč u sekundi: 1500 taktova \pm 5% (1425 – 1575 taktova)
- za 2k 13 - bitnih reč u sekundi: 750 taktova \pm 5% (712 – 788 taktova)
- za 4k 13 - bitnih reč u sekundi: 375 taktova \pm 5% (356 – 394 takova)

Ovo brojanje se ponavlja pet puta. Između detekcija se pravi pauza u trajanju od 256 reči. Detekcija je uspešna ukoliko se ista brzina konstatuje svih pet puta. U slučaju nepoklapanja, signalizira se greška. Ova greška se smatra fatalnom i, kada se desi, prekida se rad.

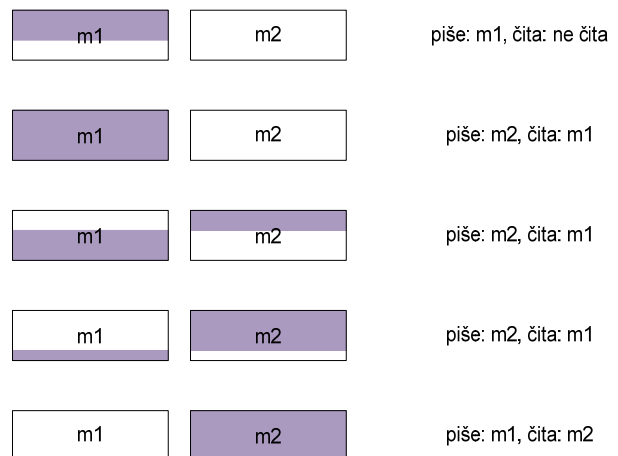
Posle uspešno detektovane brzine, pokreće se modul za prijem reči. On obuhvata dva modula – modul toka podataka i modul kontrole prijema.

Modul toka podataka se sastoji iz 13-bitnog prijemnog registra sa serijskim prijemom podataka i paralelnim izlazom, kola za proveru parnosti i multipleksera. U slučaju ispravno primljene reči, izlaz iz modula je ta reč bez bita parnosti, u suprotnom se postavlja unapred definisana reč koja označava grešku.

Modul za kontrolu prijema nadzire tok podataka, tako što generiše kontrolne signale za prosledjivanje podataka na izlaz. Ovaj modul je zadužen i za rukovanja (eng. handshake) sa kontrolerom.

Memorija je realizovana u dva FIFO bloka. Oni su široki 12 bita i duboki 64 reči. Tehnika upisa je ping-pong. Prvo se upisuje u memoriju 1 (m1). Nakon potpunog punjenja ove memorije prelazi se na upis u memoriju 2 (m2). U isto vreme započinje se čitanje memorije 1. Tako se uvek u jednu memoriju piše, a iz druge čita. Ispred i iza memorije se nalazi logika koja obezbeđuje upis i čitanje.

Sl. 3. šematski prikazuje predhodno objašnjen proces.



Sl. 3. Ping-pong tehnika upisa u memoriju

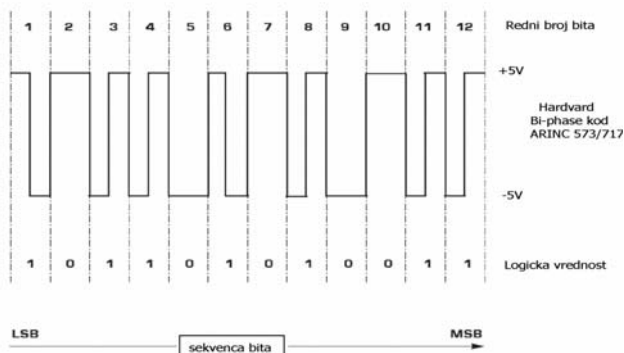
Nakon prvog potpunog punjenja memorija 1 pokreće se modul za slanje reči. On obuhvata dva modula – modul toka podataka i modul kontrole slanja.

Modul toka podataka se sastoji iz jednog 12-bitnog registra, generatora izlaznog takta i modula za kodiranje signala po HBP šemi. Ulaz u registar je paralelan uz mogućnost punjenja podacima ili unapred definisanom konstantom, u zavisnosti od stanja sistema. Izlaz iz ovog registra je serijski. Podaci se serijski šalju iz ovog registra kada je aktivan signal diferenciranog izlaznog takta.

Generator izlaznog takta u zavisnosti od brzine date na ulazu (1k, 2k ili 4k 13-bitnih reči), broji određen broj sistemskih taktova koji odgovaraju poluperiodi izlaznog takta, i na taj način generiše izlazni takt. Osim toga omogućeno je i povećanje/smanjenje periode izlaznog takta, preko signala iInc/iDec.

Modul Harvard je pretvarač iz NRZ koda u HBP kod.

Sl 4. prikazuje izlaznu reč u HBP kodu.



Sl. 4. Niz bita kodovana po HBP šemi

Modul za kontrolu slanja nadzire tok podataka tako što generiše potrebne signale za punjenje nove reči ili konstante u registar, određuje kada je izlaz iz sistema aktivan, a omogućava i rukovanje kontrolerom tako što generiše signale koji označavaju kad su podaci potrebni i kada su podaci preuzeti.

Svim nabrojanim modulima upravlja kontroler koji se može naći u jednom od tri režima rada.

1. inicijalni režim
2. aktivan režim
3. režim obrade grešaka

U inicijalnom režimu kontroler čeka od modula za detekciju brzine detektovanu brzinu. Nakon uspešne detekcije brzine, kontroler prelazi u aktivan režim.

Režim u kome pretvarač pretvara podatke iz jednog standarda u drugi je aktivan režim. On se sastoji od ulazne i izlazne petlje.

Ulazna petlja se sastoji od algoritma odlučivanja i rukovanja (od dva signala) između modula za prijem reči i kontrolera. Algoritam odlučivanja određuje u koju memoriju će nova reč biti zapisana.

Izlazna petlja je nešto složenija, jer koristi tri signala, i naravno algoritmom za odlučivanje. Algoritam odlučuje iz kojeg FIFO bloka će reč biti pročitana.

Pretvarač poseduje svojstvo detekcije greške. Ako se greška detektuje, kontroler prelazi u režim obrade grešaka. Tada se proverava da li još ima reči u memoriji, i ako ima

šalju se modulu za slanje. Posle pražnjenja memorije kontroler ulazi u beskonačnu petlju, a modul za slanje počinje da šalje unapred definisanu konstantu. Greške mogu biti eksterne i interne.

Eksterne greške su pogrešno detektovana brzina i nedostatak nekog od signala sa PCM odabirača. Ovaj tip grešaka se kontroleru javlja preko sistema prekida.

U interne greške spadaju greške modula za prijem reči i greške memorije. Ukoliko kontroler ne uspe da zapiše reč u memoriju, a nova reč se pojavi na ulazu, tada se konstatuje greška. Kao i kod eksternih grešaka i ova greška se javlja kontroleru preko sistema prekida.

Sistem detektuje 4 tipa grešaka memorije:

- Prepunjenost memorije – obe FIFO memorije su pune i nova reč ne može da se zapiše
- Nedostatak reči – obe FIFO memorije su prazne, a modul za slanje potražuje reč
- Potencijalna prepunjenost memorije – u kontroleru postoje brojači reči obe FIFO memorije. Prilikom upisa nove reči povećava se vrednost jednog od brojača, a prilikom čitanja ona se smanjuje. Ukoliko je zbir brojača veći od 64, signalizira se potencijalna prepunjenost
- Potencijalni nedostatak reči – zbir brojača je manji od 64.

U dokumentaciji zapisivača naznačeno je da ulazni takt (izlazni takt) može da odstupa $\pm 5\%$. Da bi se ovo proverilo, razvijeno je posebno rešenje kojim je ovaj podatak potvrđen i u praksi. Izlaznim taktom podataka upravlja kontroler i to sa signalima iInc i iDec. Signal iInc povećava periodu izlaznog takta, i samim tim smanjuje brzinu slanja reči. Signal iDec smanjuje periodu izlaznog takta, tj. povećava brzinu slanja reči. Ovi signali se aktiviraju na greške: potencijalna popunjenost memorije i potencijalni nedostatak reči.

Kada se desi potencijalna prepunjenost memorije, povećava se vrednost signala iInc za jedan i šalje se modulu za slanje reči. Maksimalna vrednost signala iInc i iDec je 8. Kada se desi potencijalni nedostatak reči, povećava se vrednost signala iDec za jedan i šalje se modulu za slanje reči. Ovim mehanizmom omogućava se digitalno “disanje” izlaznog takta.

III. METODOLOGIJA PROJEKTOVANJA

U fazi laboratorijskog ispitivanja, korišćene su već razvijene ploče. Za simuliranje PCM odabirača korišćen je isti digitalni sistem koji je korišćen pri ispitivanju predhodne verzije pretvarača. Sistem je razvijen oko FPGA integrisanog kola EPF10K70RC240-4 proizvođača Altera. Simulator je povezan preko prilagodne ploče sa glavnom pločom na kojoj je realizovan potpuno digitalno rešenje pretvarača. Prilagodna pločica sadrži skup integrisanih kola za prilagođavanje naponskih nivoa signala sa 5V na 3.3V. Glavna ploča je zasnovana na FPGA integrisanom kolu Spartan3 proizvođača Xilinx.

Dugotrajna ispitivanja u laboratorijskim uslovima su bila ograničena kapacitetom zapisivača. Po završetku svakog upisa sadržaj se poredio sa referentnim sadržajem. Dopušten broj grešaka je nula. Ispitivanja su urađena za

sve 3 brzine. Opsežnim ispitivanjima pokazalo se da sistem u laboratorijskim uslovima zadovoljava pomenute uslove.

Prvi rezultati ispitivanja u realnim uslovima su povoljni. Uredjaj radi stabilno i pored brzih temperaturnih promena. Sledeći korak je ispitivanje uredjaja u jednom od opitnih zavoda.

IV. ZAKLJUČAK

Realizovan je pretvarač protokola bez analognih komponenti. Uredjaj je sposoban da podnese nagle promene temperature bez ikakvog uticaja na njegovu funkcionalnost. Upotrebom kontrolera ostavljen je prostor za dalje usavršavanje algoritma balansiranja bafera sistema, koji mu i daje veliku robusnost u radu, bez uticaja na ostatak sistema.

ZAHVALNICA

Ovaj rad je delimično finansiran od Ministarstva za nauku Republike Srbije, projekat 12004, od 2008. god.

LITERATURA

- [1] Boris Radin, Pavle Savkovic, Dušan Majstorovic, Branislav Atlagic, Saša Vukosavljev, „A Simple FPGA/PLL Based Protocol Converter for Serial Data Transmission”, ICEST 2008.
- [2] L.F.G. Sarmenta, G.A. Pratt, S.A. Ward, "Rational clocking [digital systems design]," iccd,pp.271, 1995 IEEE International Conference on Computer Design (ICCD'95), 1995
- [3] Cadence, „Clock domain crossing - closing the loop on clock domain functional implementation problems”, white paper 2004

ABSTRACT

The paper describes a digital design of protocol converter from protocol IRIG–106 to protocol ARINC 573/717. Converter is designed on FPGA circuit.

A DIGITAL DESIGN OF LINE PROTOCOL CONVERTER

Pavle Savković, Pavle.Savkovic@KRT.neobee.net
Nikola Vranić, Nikola.Vranic@KRT.neobee.net
Vladimir Marinković, Vladimir.Marinkovic@KRT.neobee.net
Majda Kukulj, Majda.Kukulj@KRT.neobee.net
Branislav Atlagić, Branislav.Atlagic@KRT.neobee.net