

Управљање синтезом учестаности (DDS и PLL) на бази SiLabs C8051F121 микроконтролера

Немања Митровић, Драган Обрадовић, Сениша Тасић, Жељко Гајић

Садржај - Главни захтеви савремених телекомуникационих система су веома брз и сигуран проток информација. Сигурност се постиже применом hardware-ских и/или software-ских кодовања, што утиче на смањење брзине целог система, тако да брзина (радна учестаност система) избија у први план. У даљем тексту биће приказана једна hardware-ска и software-ска синтеза учестаности новог РРУ-а фирме ИМТЕЛ Комуникација.

Кључне речи – DDS(Direct Digital Sintentize), PLL(Phase Lock Loop), РРУ(Радио Релејни Уређај), ГС Expander (проширивач магистрале)

I. Увод

НА пољу високих учестаности прецизне компоненте, као што су осцилатори, имају веома високу цену и малу флексибилност. Тако би за један четвороканални уређај било потребно четири осцилатора и исто толико стабилизатора напона. То, поред веће количине новца, изискује и много простора на штампаној плочи као и много линија за управљање том синтезом, а познато је да када се ради о високим учестаностима долази до „преслушавања“ на линијама и поред серијског филтрирања. То усложњава пројектовање и чини сваки примерак уникатним.

Коришћењем једног референтног осцилатора и директне дигиталне синтезе учестаности (DDS-а) [1], теоретски се до половине, а практично отприлике до трећине, референтне учестаности може изгенерисати било која учестаност, било који жељени радни канал. Примећује се да оваква реализација не решава у потпуности предходно постављен проблем, јер је за високе учестаности потребно имати прецизан, веома високо-фреквентан осцилатор, који је на овај начин само делимично искоришћен.

Овакво решење није прихватљиво, уколико се на

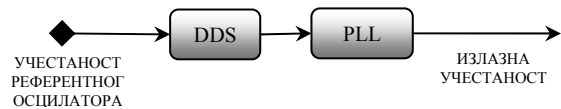
Немања Митровић, ИМТЕЛ Комуникације А.Д., Бул. М. Пупина 165-Б, 11070 Н. Београд, Србија; (e-mail: nemanja@insimtel.com).

Драган Обрадовић, ИМТЕЛ Комуникације А.Д., Бул. М. Пупина 165-Б, 11070 Н. Београд, Србија; (e-mail: obrad@insimtel.com).

Сениша Тасић, ИМТЕЛ Комуникације А.Д., Бул. М. Пупина 165-Б, 11070 Н. Београд, Србија; (e-mail: tasa@insimtel.com).

Жељко Гајић, ИМТЕЛ Комуникације А.Д., Бул. М. Пупина 165-Б, 11070 Н. Београд, Србија; (e-mail: gaja@insimtel.com).

добijени излаз не дода умножавач учестаности (PLL) [2], као на Сл. 1..



Сл. 1. Директна дигитална синтеза учестаности и умножавач учестаности.

Коришћењем PLL-а референтна учестаност може се вишеструко надмашити, што чини овакво решење у потпуности прихватљиво и примењиво.

Референтни осцилатор у оваквој реализацији, чак, не мора бити ни највишег квалитета (високе прецизности), већ се може искористити и неки јефтинији, мање прецизни осцилатор са константном грешком, чија се прецизност software-ски коригује.

II. HARDWARE-СКА СПЕЦИФИКАЦИЈА СИНТЕТИЗАТОРА УЧЕСТАНОСТИ

A. Управљачки део

Коначни циљ овог рада је јефтин, флексибилан, лако управљив мултиканалан, високо фреквентан синтетизатор учестаности.

Микроконтролерски (управљачки) део система је замишљен као засебна целина приказана на Сл.2..



Сл. 2. Микроконтролерски (управљачки) део уређаја.

Базиран је на микроконтролеру SiLabs C8051F121 [5], [6] компаније Silicon Laboratory. На њему су подржани терминал мод преко RS232 серијског интерфејса према рачунару, задавање команди путем тастера, задавање команди на даљину, као и управљање дигиталном синтезом учестаности.

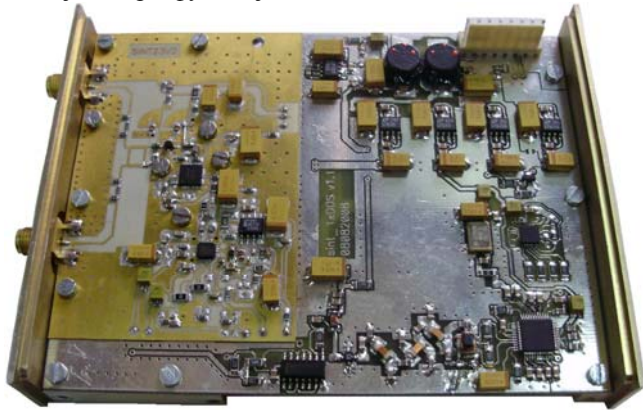
B. Интерфејс

Као захтев за итрефејс између микроконтролерског и актуаторског дела уређаја, а с обзиром да су

раздвојени, као и постојања могућности „преслушавања“ на линијама за управљање због рада на високим учестаностима, поставља се минималан могући број истих. Као добро решење намеће се серијски и то нпр. I²C интерфејс који има само две линије за управљање.

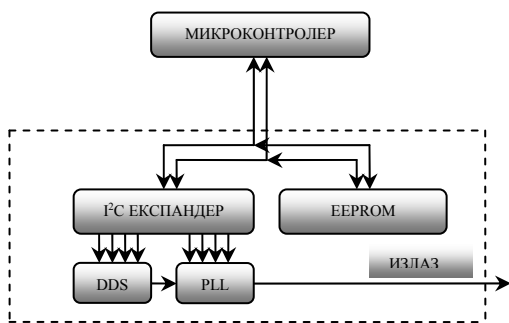
C. Актуаторски део

Актуаторски део уређаја, приказан на Сл. 3., се састоји из три функцијалне целине.



Сл. 3. Актуаторски део уређаја.

Прва функцијална целина је чип за директну дигиталну синтезу учестаности (DDS) [1], [3] са својим пратећим склопом, друга је чип умножавач учестаности (PLL) [2], [4] са својим пратећим склопом, док је трећа функцијална целина меморијски модул (EEPROM) [7] у коме се памти фиксна грешка референог осцилатора. Принципијелна шема оваквог синтетизаторског склопа приказана је на Сл. 4..



Сл. 4. Принципијелна шема синтетизатора учестаности.

За управљање DDS-ом и PLL-ом потребно је по четири линије [3], [4], док је за EEPROM [7] потребно две, што је укупно десет линија за управљање. Овај проблем, захтев за минималним бројем линија због „преслушавања“ и захтев за десет линија за управљање, превазилази се коришћењем I²C експандера [8]. То додатно усложњава software, јер је потребно управљати двоструком серијализацијом.

D. Двострука серијализација и паралелизација

Ради уштеде у броју линија, коју hardware диктира, прибегнуто је двострукој серијализацији, чиме је број од десет захтеваних линија за управљање, смањен на само две. Управљање актуаторским делом DDS-ом и PLL-ом захтева осам управљачких линија, а управо толико излазних линија поседује I²C експандер [8]

коришћен у овој реализацији дигиталног синтетизатора учестаности. То не значи да је понестало управљачких линија и нема их за EEPROM, већ да EEPROM има I²C интерфејс и дели управљачке линије са I²C експандером, а која је од те две периферије тренутно активна се software-ски контролише адресирањем [7], [8]. То значи да поред двоструке серијализације остварене коришћењем I²C експандера остварена је паралелизација између I²C експандера и I²C EEPROM-а.

III. SOFTWARE-СКА СПЕЦИФИКАЦИЈА СИНТЕТИЗАТОРА УЧЕСТАНОСТИ

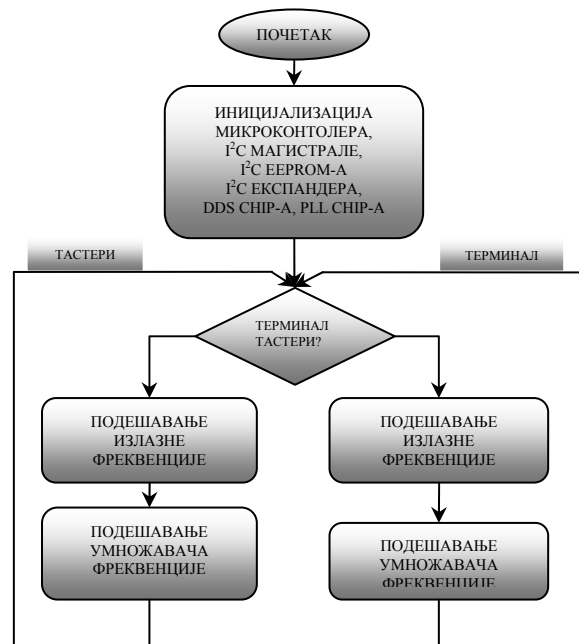
A. Корисничке спецификације

Задавање радног канала може бити помоћу микропрекидача (тастера) и путем терминала (коришћењем RS232 порта рачунара). Погоднија метода за задавање радног канала је путем терминала. Као основни разлог, за то, је што се коришћењем тастера ограничава укупан број канала, док се путем терминала може задати било који канал. Прави начин задавања радног канала, с обзиром да је ова синтеза учестаности намењена РПУ, је путем радио везе. Примећује се да и на овај начин, исто као и путем терминала, број радних канала није ограничен, а омогућено је управљање на даљину.

B. Организација software-а

Software-ско решење дигиталног синтетизатора учестаности, код кога су извршени двострука серијализација и паралелизација је усложњено, јер је потребно истовремено водити рачуна о више ствари истовремено.

Као костур software-а, дат је стандардан приступ у виду иницијализације и главне петље у којој се чека на команду приказан на Сл. 5..

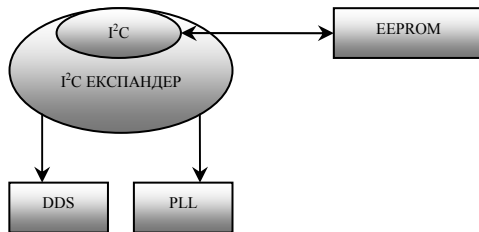


Сл. 5. Алгоритам за управљање дигиталном синтезом учестаности.

Веома је битно поштовање хронолошког редоследа у

иницијализацији и у задавању излазне учестаности. Хронолошки прво треба иницијализовати микроконтролер па I²C магистралу па I²C експандер па DDS па PLL, док приликом задавања излазне учестаности хронолошки редослед је задавање међуучестаности путем дигиталне синтезе па тек онда умножавање исте. Редослед приликом задавања излазне учестаности је у потпуности логичан, јер умножавањем ничега, а међуучестаности нема ако није задата, ништа се не може добити.

Уопштено гледајући, у software-у је све линеарно до тренутка када треба иницијализовати DDS и PLL, јер тад на сцену ступа двострука серијализација, а касније и паралелизација. У функцијама које иницијализују и управљају DDS и PLL чипове, треба водити рачуна да док се ради са једним чипом, управљачке линије другог мирују. Software је организован тако да постоје функције које управљају I²C магистралом и резултују функцијама читања и уписа у I²C периферије, а на основу адресе се зна да ли се приступа I²C експандеру или I²C EEPROM-у, што је и приказано на Сл. 6..



Сл. 6. Организациона структура software-а.

Постоје и функције, које позивају предходно описане функције и резултују функцијама читања и уписа у DDS и PLL чип. Само управљање излазном учестаности се врши на основу функција које рачунају речи за упис у DDS и PLL чипове, на основу задате учестаности.

С. Прорачун излазне учестаности

Међуучестаност ове синтезе f_0 , тј. излазна учестаност DDS-а рачуна се по формулама (1) и (2), где је f_s учестаност референтног осцилатора, а FTW реч коју треба уписати у DDS чип [1], [3].

$$f_0 = \frac{FTW \cdot f_s}{2^{32}}, 0 \leq FTW \leq 2^{31} - 1. \quad (1)$$

$$f_0 = f_s \cdot \left(1 - \frac{FTW}{2^{32}}\right), 2^{31} \leq FTW \leq 2^{32} - 1. \quad (2)$$

Учестаност референтног осцилатора f_s износи 50MHz.

PLL умножавач N се рачуна по формули (2), где је P прескалер, а A и B вредности до којих интерни бројачи PLL-а одбројавају [2], [4].

$$N = B * P + A. \quad (2)$$

A и B нису независни, већ B мора бити веће или једнако A , тако да је минимална излазна учестаност N_{min} дата формулом (3).

$$N_{min} = P^2 + P. \quad (3)$$

Излазна учестаност f_{VCO} је дата формулом (4), где је R основни делилац референтне учестаности f_{ref} , која је у

овом случају излазна учестаност DDS чипа, тј. међуучестаност овог синтезатора учестаности.

$$f_{VCO} = [(PB) + A] \frac{f_{ref}}{R}. \quad (4)$$

Уврштавањем f_0 из једначина (1) и (2) као f_{ref} из једначине (4), добијају се једначине (5) и (6), које у потпуности детерминишу излаз дигиталног синтезатора учестаности.

$$f_{VCO} = [(PB) + A] \frac{FTW \cdot f_s}{R \cdot 2^{32}}, 0 \leq FTW \leq 2^{31} - 1. \quad (5)$$

$$f_{VCO} = [(PB) + A] \frac{f_s \cdot (2^{32} - FTW)}{R \cdot 2^{32}}, 2^{31} \leq FTW \leq 2^{32} - 1. \quad (6)$$

Наравно, једначине (5) и (6) имају само теоретског смисла за сагледавање уређаја у целини, јер су директни дигитални синтезатор и умножавач учестаности hardware-ски засебне целине.

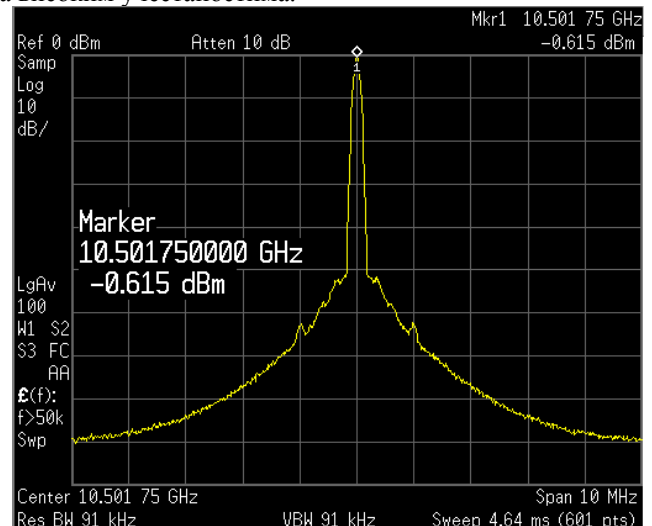
IV. ЗАКЉУЧАК

А. Добитак реализације

Дигитална синтеза учестаности, реализована на овај начин омогућава два степена слободe. Први је грубо подешавање излазне учестаности повећањем/смањењем умножавача учестаности и други фино подешавање излазне учестаности повећањем/смањењем међуучестаности, излазне учестаности директне дигиталне синтезе.

В. Резултати

На почетку рада, речно је да је коначни циљ јефтин, флексибилан, лако управљив мултиканалан, високо фреквентан синтезатор учестаности. С обзиром на број и цену компоненти, може се констатовати да је синтезатор прихватљиве цене. На Сл. 7. приказано је како се дигитални синтезатор учестаности понаша на високим учестаностима.



Сл. 7. Спектар на високим учестаностима.

Измерени спектар је веома „чист“, што значи да је уређај високе прецизности. Реализација уређаја је таква да омогућава генерисање великог броја учестаности, што уз три начина коришћења даје веома флексибилан, лако управљив мултиканалан синтезатор учестаности. Када се додају и све ове особине, цена уређаја се чини још мањом.

ЛИТЕРАТУРА

- [1] J. VANKKA and K. A. I. HALONEN, "Direct Digital Synthesizers: Theory, Design and Applications", Engineering and Computer Science Serial, Springer International, Hardcover, 2001.
- [2] R. E. BEST, "Phase-Lock Loops – Design, Simulation and Application", 5th ed., Ed. New York: McGraw-Hill, 2004.
- [3] *400MSPS 14-bit, 1.8V CMOS Direct Digital Synthesizer – AD9951*, Analog Devices Inc., 2008.
- [4] *PLL Frequency Synthesizer ADF4108*, Analog Devices Inc., Norwood, MA 02062-9106, U.S.A., 2006-2007
- [5] *C8051F120/1/2/3/4/5/6/7 – 100MIPS, 128 kB Flash, 12-bit ADC, 64-Pin Mixed-Signal MCU*, Silison Laboratories Products Inc., 4635 Boston Lane, Austin, TX 78735, 2004.
- [6] *C8051F120/1/2/3/4/5/6/7 – Mixed Signal ISP Flash MCU Family*, Silison Laboratories Products Inc., 4635 Boston Lane, Austin, TX 78735, 2004.
- [7] *Two-Wire Automotive Temperature Serial EEPROM*, Atmel Corporation, 2325 Orchard Parkway, San Jose, CA 95131, U.S.A. 2008.
- [8] PCA9502 – 8-bit I/O expander with I²C-bus/SPI interface, Philips Inc., Rev. 03, 2006

ABSTRACT

Modern Telecommunicationas systems, as a main requests, have very fast and safe stream of informations. Safety, has been obtained using hardware and/or software coding, that respond with decreasing system speed, so system speed (operating system frequency) comes in front. Hardware and software realization of digital frequency synthesizer of new generation RRU, of IMTEL Communications, will be represented in farther text.

DIGITAL FREQUENCY SYNTHETIZING (DDS AND PLL) CONTROL USING SILABS 8051F121 MICROCONTROLLER

Nemanja Mitrović, Dragan Obradović, Siniša Tasić,
Željko Gajić